

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 347:JAPIO  
(c) 2001 JPO & JAPIO. All rts. reserv.  
01147065      \*\*Image available\*\*  
SEMICONDUCTOR ELEMENT  
PUB. NO.:      58-084465 [JP 58084465 A]  
PUBLISHED:      May 20, 1983 (19830520)  
INVENTOR(s): KOMATSU TOSHIYUKI  
HIRAI YUTAKA  
NAKAGAWA KATSUMI  
OSADA YOSHIYUKI  
KOMATA TOMOJI  
NAKAGIRI TAKASHI  
APPLICANT(s): CANON INC [000100] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.:      56-182653 [JP 81182653]  
FILED:      November 13, 1981 (19811113)  
INTL CLASS:      [3] H01L-029/78; H01L-021/306; H01L-029/04  
JAPIO CLASS:      42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097  
(ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS);  
R119 (CHEMISTRY -- Heat Resistant Resins)  
JOURNAL:      Section: E, Section No. 191, Vol. 07, No. 178, Pg. 114,  
August 06, 1983 (19830806)

#### ABSTRACT

PURPOSE: To obtain the semiconductor element, the secular change of characteristics thereof is not generated substantially and which has high reliability, by forming the principal section of the element by a polycrystal silicon thin-film semiconductor layer having the characteristics of not more than 20 angstroms/sec etching speed by an etching liquid consisting of fluoric acid, nitric acid and glacial acetic acid.

CONSTITUTION: The principal section of the semiconductor element is formed by the polycrystal silicon thin-film semiconductor layer having the characteristics of not more than 20 angstroms/sec etching speed by the etching liquid, which contains not more than 3 atomic % hydrogen atoms and consists of fluoric acid (50vol% aqueous solution), nitric acid (d=1.38, 60vol% aqueous solution) and glacial acetic acid, mixing ratios thereof are 1:3:6 at volume ratios. The diffraction intensity of the X-ray diffraction pattern or electron-ray diffraction pattern 220 of a polycrystal silicon thin-film is made 30% or higher to the whole diffraction intensity or the mean grain size of the polycrystal silicon thin-film is made 200 angstroms or higher.

DIALOG(R)File 352:Derwent WPI  
(c) 2001 Derwent Info Ltd. All rts. reserv.  
003691918

WPI Acc No: 1983-51899K/198322

XRAM Acc No: C83-050473

XRFX Acc No: N83-093469

Semiconductor device, esp. thin film FET - using semiconducting film of polycrystalline silicon with specific content of hydrogen atoms.

Patent Assignee: CANON KK (CANO )

Inventor: HIRAI Y; KANAGAWA Y; KOMATSU T; NAKAGAWA K; NAKAGIRI T; OSADA Y

Number of Countries: 003 Number of Patents: 009

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
DE 3241959	A	19830526	DE 3241959	A	19821112	198322 B
JP 58084464	A	19830520	JP 81182652	A	19811113	198326
<b>JP 58084465</b>	A	19830520	JP 81182653	A	19811113	198326
JP 58084466	A	19830520	JP 81182654	A	19811113	198326
DE 3241959	C	19881117				198846
JP 90001365	B	19900111				199006
JP 90001366	B	19900111				199006
JP 90001367	B	19900111				199006
US 4905072	A	19900227	US 88188677	A	19880429	199015

Priority Applications (No Type Date): JP 81182654 A 19811113; JP 81182652 A 19811113; JP 81182653 A 19811113

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
DE 3241959	A	80		

Abstract (Basic): DE 3241959 A

The device has a substrate(a), which is covered with a thin, semiconducting film of poly Si(b), which contains in atomic % max. 3% of hydrogen atoms, and has a surface roughness of max. 80 nm. Film(b) forms the main part of the semiconductor device. When film(b) is etched using a mixt. contg. 1 pt.vol. HF (50% aq. soln. by vol.); 3 pts.vol. HNO3 (density 1.38, 60 vol.% in water); and 6 pts.vol. glacial acetic acid; its etching speed is max. 2 nm/second. Film(b) pref. shows a min. of 30% orientation in the (220) plane when examined by electron beam- or X-ray- diffraction, and consists of crystals with an average grain size of min. 20 nm. The substrate is esp. glass.

Used esp. to make a thin film FET with high performance, used in scanning pictures or images the FET obtd. is stable and reliable. 1/10

Title Terms: SEMICONDUCTOR; DEVICE; THIN; FILM; FET; SEMICONDUCTOR; FILM; POLYCRYSTALLINE; SILICON; SPECIFIC; CONTENT; HYDROGEN; ATOM

Derwent Class: L03; U11; U12; U14

International Patent Class (Additional): H01L-021/30; H01L-023/54; H01L-029/04

File Segment: CPI; EPI

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58—84465

⑫ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 21/306  
29/04

識別記号  
庁内整理番号  
7377—5F  
8223—5F

⑬ 公開 昭和58年(1983)5月20日  
発明の数 1  
審査請求 未請求  
(全 11 頁)

⑭ 半導体素子

⑮ 特 願 昭56—182653  
⑯ 出 願 昭56(1981)11月13日  
⑰ 発 明 者 小松利行  
東京都大田区下丸子3丁目30番  
2号キャノン株式会社内  
⑱ 発 明 者 平井裕  
東京都大田区下丸子3丁目30番  
2号キャノン株式会社内  
⑲ 発 明 者 中川克己  
東京都大田区下丸子3丁目30番  
2号キャノン株式会社内

⑲ 発 明 者 長田芳幸  
東京都大田区下丸子3丁目30番  
2号キャノン株式会社内  
⑳ 発 明 者 小俣智司  
東京都大田区下丸子3丁目30番  
2号キャノン株式会社内  
㉑ 発 明 者 中桐孝志  
東京都大田区下丸子3丁目30番  
2号キャノン株式会社内  
㉒ 出 願 人 キャノン株式会社  
東京都大田区下丸子3丁目30番  
2号  
㉓ 代 理 人 弁理士 丸島儀一

明 細 書

1. 発明の名称

半導体素子

2. 特許請求の範囲

- (1) 3 atomic% 以下の水素原子を含有し、且つ  
混合比が重量比で 1 : 3 : 6 の弗酸 (50 vol  
% 水溶液) : 硝酸 (4 = 1.38, 60 vol% 水溶  
液) : 水酸化から成るエフテンダ液によるエ  
フテンダ速度が  $20 \text{ \AA} / \text{sec}$  以下の特性を有する  
多結晶シリコン薄膜半導体層でその主要部が  
構成されている事を特徴とする半導体素子。
- (2) 前記半導体層の工熱回折パターン又は電子  
線回折パターンによる (220) の回折強度の全  
回折強度に対する割合が 80% 以上である特許  
請求の範囲第 1 項に記載の半導体素子。
- (3) 前記半導体層の平均結晶粒径が  $200 \text{ \AA}$  以上  
である特許請求の範囲第 1 項に記載の半導体  
素子。
- (4) 前記半導体層がガラス製基板に形成されて  
いる特許請求の範囲第 1 項に記載の半導体素子。

2. 発明の詳細な説明

本発明は電界効果薄膜トランジスタ等の半導  
体素子に関し、更に詳細には多結晶シリコン薄  
膜半導体層でその主要部を構成した半導体素子  
に関するものである。

最近、画像読取用としての、長尺化一次元フ  
ォトセンサや大面積化二次元フォトセンサ等の  
画像読取装置の走査回路部、或いは液晶 (LC  
と略記する) や、エレクトロクローム材料  
(EC と略記する) 或いはエレクトロルミネフ  
ェンス材料 (EL と略記する) を利用した画像  
表示デバイスの駆動回路部を、これ等の大面積  
化に伴つて所定の基板上に形成したシリコン薄  
膜を素材として形成することが提案されている。  
斯かるシリコン薄膜は、より高速化、より高  
信頼化された大面積の画像読取装置や画像表示装  
置の要求から、非晶質であるよりも多結晶であ  
ることが望まれている。その理由の 1 つとして  
上記の如きの高速、高信頼の読取装置の走査回  
路部や画像表示装置の駆動回路部を形成する為

の素材となるシリコン薄膜の性能を異ならしめることとして例えばTFTの実効キャリア移動度 (effective carrier mobility)  $\mu_{eff}$  としては、大きいことが要求されるが、通常の放電分解法で得られる非晶質シリコン薄膜に於いては約  $0.1 \text{ cm}^2/\text{V} \cdot \text{sec}$  程度であつて、単結晶シリコンで作成したMoS<sub>2</sub>型トランジスタに較べて遙かに劣り、所望の要求を満たすものでないことが挙げられる。この移動度  $\mu_{eff}$  の小ささは、1つには非晶質シリコン薄膜固有の特性である <sup>Hall</sup> 移動度が小さいことから、非晶質シリコン薄膜は薄膜作成上の容易さと生産コストの安価を生かし切れないという不都合さを内在している。又、非晶質シリコンは本質的に経時変化が内在していて単結晶に比べて劣る。

これに対して、多結晶シリコン薄膜は、実際に測定されたデータからも非晶質シリコン薄膜に較べて <sup>Hall</sup> 移動度自体が大きく、薄膜トランジスタにしたときのその移動度  $\mu_{eff}$  が遙かに大きく、理論的には現在得られている値よりも、更に大

きな値の移動度  $\mu_{eff}$  を有するものが作成され得る可能性を有している。又、経時変化に關しても安定であることが期待される。

多結晶シリコン薄膜を所定の基板上に大面積に亘つて作成する方法としては、

CVD (Chemical Vapour Deposition) 法、LP CVD (Low Pressure Chemical Vapour Deposition) 法、MBE (Molecular Beam Epitaxy) 法、IP (Ion Plating) 法、GD (Glow Discharge) 法等が知られている。

いずれの方法にかいても、基板温度は異なるが、大面積の基板の上に多結晶シリコン薄膜が作製できることが知られている。

しかしながら、従来、これらの方法によつて作製された多結晶シリコン薄膜半導体層で主要部を構成した半導体素子或いは半導体デバイスが所望された特性及び信頼性を充分発揮できないのが現状である。

本発明は上記の点に鑑み成されたものであり、従来検討の結果多結晶シリコン薄膜半導体層で

主要部を構成した半導体素子又は半導体デバイスの性能及び特性の安定性は、(1)多結晶シリコンの薄膜中に含まれる水素原子の量(濃度)のエンタングが濃度と相関があることを見出した点に基いている。即ち、形成された半導体層中に水素原子がある量範囲でふくまれること、特定のエンタング濃度に対するエンタング濃度が、ある値以下であることが、素子特性、 $\mu_{eff}$  及び特性の経時的な安定性を向上させ、実用上極めて優れた使用特性を示し、デバイスとして設計した際にも各素子の特性上のバラツキを実質的に解消し得、実用性を飛躍的に高めることを見出したものである。

本発明の目的とするところは、素子特性、 $\mu_{eff}$  が従来の多結晶シリコン薄膜半導体層で主要部を構成した半導体素子に較べて飛躍的に向上しており、素子特性の経時変化が実質的になく、極めて優れた使用特性を示す半導体素子を提供することである。

本発明の半導体素子は3 atomic%以下の水素

原子を含有し、且つ混合比が容重比で1:3:6の希酸(50 vol%水溶液):硝酸( $d=1.38$ , 60 vol%水溶液):水酸液から成るエンタング液によるエンタング速度が20 Å/sec以下の特性を有する多結晶シリコン薄膜半導体層でその主要部が構成されている事を特徴とする。

又、多結晶シリコン薄膜のX線回折パターン又は電子線回折パターン(220)の回折強度が、全体の回折強度に対して30%以上、或いは又、多結晶シリコン薄膜の平均結晶粒径(平均グレインサイズ)が、200 Å以上であるとされる事により、本発明の目的がより一層効果的に達成される。

この様な、H含有量及び表面凹凸性を有する多結晶シリコン薄膜を素材として作製される半導体素子の一例としての電界効果薄膜トランジスタ(FE-TFT)は、トランジスタ特性(実効キャリアーモビリティ、スレッシュホールド電圧、ON/OFF比、 $I_{on}$ 等)が良好となり、運転動作によるトランジスタ特性の経時変化もなく、

かつ素子の歩留り及び特性のバラツキの低下も著しく向上させることが出来るためにLC、EL或いはEC等を利用した表示或いは画像デバイスの走査回路や駆動回路を安定して提供することが出来る。

本発明においては、多結晶シリコン薄膜に含有するH量を $0.01 \text{ at}\%$ 以上にすることによつて、種々のトランジスタ特性を向上させることが出来る。多結晶シリコン薄膜に含有されるHは、主に多結晶シリコンのグレインバウンダリーに存在し、 $\text{Si-H}$ の形でSi原子と結合しているが、 $\text{Si-H}_2$ 、 $\text{Si-H}_3$ の如き結合形態のものや遊離水素も含んでいることが予想され、これ等不安定な状態で含有されている水素に起因して、その特性の経時的変化が生じているものと思われるが本発明者らの多くの実験事実から $3 \text{ at}\%$ 以下のH量においては、トランジスタ特性の劣化特に経時変化を起させることは、ほとんどなく、安定してその特性を維持し得ることが観察されている。即ち、例えば $3 \text{ at}\%$  <sup>と大抵等</sup> ~~以下の~~ H量では、

蒸着し、一次イオンビームのイオンエネルギーを $8 \text{ KeV}$ とし、サンプル電流 $5 \times 10^{-10} \text{ A}$ 、スポットサイズ $50 \mu\text{m}$ 強としエッチング面積は $250 \times 250 \mu\text{m}$ として、 $\text{Si}^+$ に対する $\text{H}^+$ イオンの検出強度比を求め水素含有量を $\text{atomic}\%$ で算出した。

従来多結晶シリコン薄膜は $700^\circ\text{C}$ 以下の低温で形成された場合には、TFTとして $\mu\text{eff}$ 、安定性など所望の性能が達成されていなかつたが前記3項目水素量、エッチングレートを満足する膜であれば高性能TFTが提供可能であることが判明した。

先の画像感取装置や表示装置の走査回路部や駆動回路部及び表示部を構成するTFT素子の半導体層として多結晶シリコン薄膜を形成する基板材料と、安価な材料であるガラス、セラミックスが望ましい。本発明に係る多結晶質シリコン薄膜は、この要求を満たし工業的に従来より製造されているTFTを提供するものである。

本発明において、開示されるように、特に水

上述のように連続的にトランジスタ動作を行つた場合、実効キャリアーモビリティの減少が見られかつ出力ドレイン電流が時間とともに減少し、スレッショールド電圧が変化するという経時変化が観察された。本発明においてはH量は $0.01 \sim 3 \text{ at}\%$ とされるが、<sup>好適には $0.05 \sim 2 \text{ at}\%$</sup> 最適には、 $0.1 \sim 1 \text{ at}\%$ 程度とするのが望ましい。

本発明に於いて規定する多結晶シリコン薄膜中に含まれている水素量の測定は、 $0.1 \text{ at}\%$  ( $\text{atomic}\%$ )以上は通常化学分析で用いられている水素分析計(Perkin-Elmer社製Model-240還元元素分析計)により行つた。いずれも試料は $5 \text{ mg}$ を分析計ホルダー中に装填し水素重量を測定し、膜中に含まれる水素量を $\text{atomic}\%$ で算出した。

$0.1 \text{ at}\%$  ( $\text{atomic}\%$ )以下の微量分析は二次イオン質量分析計-SIMS-(Cameca社製Model IMS-3t)により行つた。この分析法に於いては通常の方法を踏襲した。即ちチヤ-<sup>全</sup>シアップ防止のため薄膜上に、 $200 \text{ \AA}$ 厚の金

蒸化シリコン化合物のガスのグロー放電分解法、 $\text{H}_2$ 雰囲気でのシリコンのスパッタリング法、イオンブレーティング法、超高真空蒸着法においては、基板表面温度が $500^\circ\text{C}$ 以下(約 $350 \sim 500^\circ\text{C}$ の範囲)で本発明の目的に合致しうる多結晶シリコン薄膜の形成が可能である。この事実は、大面積のデバイス用の大面積にわたる駆動回路や走査回路の作製に於いて、基板の均一加熱や安価な大面積基板材料という点で有利であるだけでなく、遊離型表示素子用の基板や基板側入射型の光電変換受光素子の場合等画像デバイスの応用において透光性のガラス基板が多く望まれており、この要求に答へうるものとして重要である。

従つて、本発明によれば従来技術に較べて、低温成膜域をも実施することが出来る為、従来法で使用されている高融点ガラス、硬ガラス等の耐熱性ガラス、耐熱性セラミックス、サファイヤ、スピネル、シリコンウエーハ等の他に、一般の低融点ガラス、耐熱性プラスチック

ス、等も使用され得る。

ガラス基板としては、軟化点温度が830℃の並ガラス、軟化点が780℃の普通硬質ガラス、軟化点温度が820℃の超硬質ガラス（JIS 1級超硬質ガラス）、等が挙げられる。

本発明の実施例に於いては基板ガラスとして軟化点の低い並ガラス（ソーダガラス）のうち主としてコーニング社7059ガラスを用いたが、軟化点が1500℃の石英ガラス等を基板としても可能である。しかし、実用上からは、並ガラスを用いることは安価で大面积に亘つて薄膜トランジスタを作製する上で有利である。

この様に形成される多結晶シリコン薄膜半導体層中に含有される水素の量がその作成条件、作成手順、作成法によつて種々変化するものであるが多結晶シリコン薄膜中に含まれる水素量と半導体素子の一例としてのTFTの特性の関係を明らかにする為、種々な作成条件によつて形成した多結晶シリコン薄膜中に含有される水素の量を測定し、かつ水素量の異なるサンプルの

ついて詳細にのべる。

本発明の半導体素子の主要部を構成する多結晶シリコン薄膜の評価として膜のエフタング速度は膜質や膜の緻密性を測む重要な測定量であることが本発明者等によつて確められた。

本発明に於けるエフタングレートを選定するのに用いられたエフタング法としてはシリコン結晶の代表的エフタング法である。

弗酸、硝酸、酢酸の混合液を用いた。その混合液は弗酸（50vol%水溶液）、硝酸（ $d=1.38$ , 60vol%水溶液）、水酢酸から構成され、それ等の組成比が1:3:6であつて、 $\rho=0.3\Omega\cdot\text{cm}$ のシリコンウエハーをエフタングした膜のエフタングレートを求めると $15\text{Å}/\text{sec}$ であつた（但し、エフタング温度は25℃）。上記の膜は、電子工業用薬品として通常市販されているもので容易に入手可能である。

多結晶シリコン薄膜のエフタングレートは膜作成条件により種々変ることが知られており上記エフタング組成液では $15\text{Å}/\text{sec}\sim 80\text{Å}/\text{sec}$

各々を半導体層としたTFTを作成して検討した結果薄膜中の水素量は $3\text{at}\cdot\%$ ～ $0.01\text{at}\cdot\%$ が特に好ましいことが判明した。

本発明の半導体素子の主要部を構成する多結晶シリコン薄膜半導体層のX線回折又は電子線回折パターンにおいて面指数（220）面からの回折強度が全ての面指数からの回折強度（全回折強度）の30%以上であり、又、平均結晶粒径が200Å以上とされることにより、本発明の目的が一層効果的に達成される。

本発明者等によれば多結晶質シリコン薄膜中に含有される水素の量は膜形成法及び膜作成条件により大幅に変わることが確められている。例えばシランのグロー放電によつて膜を作成する場合には、放電パワー、圧力、基板温度、ガス流量、シラン等の原料ガスの純度及び原料ガス種などにより膜中に含まれる水素量は種々変化する。

次に、多結晶シリコン薄膜のエフタング速度（エフタングレート）とTFTの特性との相関に

に亘つて変ることが本発明者等で確められた。そこでエフタングレートの異なる種々の多結晶シリコン薄膜を半導体層としてTFTを作成し、エフタングレートとの相関を調べたところ、TFT特性として好ましい膜のエフタングレートは $20\text{Å}/\text{sec}$ 以下のものであることが判明した。

多結晶シリコン薄膜の結晶性には、膜作成法、膜作成条件によつて種々のものが得られることが知られている。

本発明に於いては配向性を調べる方法としてはX線回折、電子線回折、で行つた。

作成した各多結晶シリコン膜のX線回折強度をRigaku電磁気X線ディフракトメーター（銅管球35kV 10mA）により測定し、比較を行つた。回折角 $2\theta$ は $20^\circ\sim 65^\circ$ まで変化させて（111）、（220）、（311）の回折ピークを検出してその回折強度より求め比を取つて指標とした。又、併行して電子線回折強度を日本電子異相微鏡（JEM-100U）の電子線回折パターンの回折強度の違いより読みとり、その回折強度の比を求

めた。

ASTM カード ( 第 27-1402 , JCPDS 1977 )  
によれば、配向の全くない多結晶シリコン薄膜  
の場合回折強度の大きい面 (h,k,l) 表示で  
(111) : (220) : (311) = 100 : 55 : 30 で、  
(220) だけ取り出してみると全回折強度に対す  
る比、すなわち、

(220) の回折強度 / ( 総回折強度 ) は  
約  $(55/250) \times 100 = 22\%$  である。

この値を基準にして、この値の大きな配向性の  
良いもの、殊に 30% 以上の値をもつものが更に  
良好なトランジスタ特性を示し、30% 未満に  
おいては、経時変化が大きくなり好しくない、本  
発明に於いて最速には 50% 以上が望しい。

又更に、多結晶シリコン薄膜の互量及表面凹  
凸性を満足しかつ平均結晶粒径 ( 平均的グレイ  
ンサイズ ) が大きくなるにつれてトランジスタ  
特性特に実効キャリアモビリティの向上するこ  
とが認められた。平均的グレインサイズの値は、  
上述の X 線回折パターンの (220) ピークの半値

巾から通常の用いられている Scherrer 法によつ  
て求めた。平均的グレインサイズが、200 Å 以  
上で特に実効キャリアモビリティが向上する。  
特に最速には、300 Å 以上が望しい。

本発明では上記した様に 3000 Å ~ 1 μ 程度の  
膜厚の場合には、この程度の厚さでの情報伝達  
格に得られる。X 線回折の回折ピークの半値巾  
より上記多結晶シリコン薄膜のグレインサイズ  
を求めたが、又、同時に 3000 Å 以下の膜厚の  
ものについては透過電子顕微鏡によつても調べ  
た。

次に本発明半導体素子の一例としての TFT の  
作製プロセスについて、第 1 図に従つて説明す  
る。TFT は半導体層 101、電極層 107、オーミ  
ックコンタクト層 103、104、絶縁層 405 から  
なる電界効果トランジスタで、半導体層 101 に  
隣接しオーミックなコンタクトが形成されてい  
るソース電極 108、ドレイン電極 109 間に電圧  
を印加し、そこを流れる電流を絶縁層 105 を介  
して設けたゲート電極 110 にかけるバイアス電

圧により制御される ( 第 1 図の工程図に構造が  
示される )。まず基板 100 の洗浄を行つた後、  
多結晶シリコン薄膜 101 をその上に堆積させる  
〔工程 (I)〕。堆積法の詳細については各実施例  
の所で述べる。その後オーミック層として n<sup>+</sup>  
( P-doped シリコン ) 層 102 を堆積し、ソース、  
ドレインをエッチングにより形成した〔工程 (II)〕  
後絶縁層 105 をその上に堆積させる〔工程 (III)〕。  
絶縁層は、CVD、LPCVD で形成されるシリコン  
ナイトライド SiO<sub>2</sub>、Al<sub>2</sub>O<sub>3</sub> 等の材料で構成され  
る。

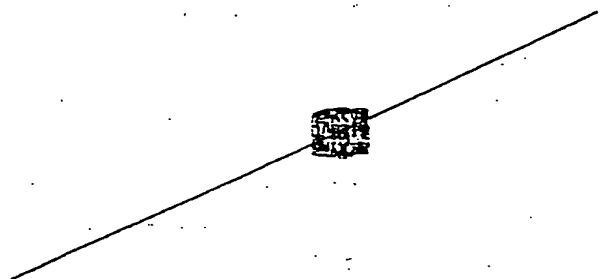
次にソース、ドレインの電極用コンタクトホ  
ール 106 をあけ〔工程 (IV)〕て、上部電極ゲート、  
ソース、ドレインを配線して〔工程 (V) 及び (VI)〕  
完成する。

本発明の多結晶シリコン薄膜トランジスタ  
の安定性を判断する経時変化の測定に関しては  
次のような方法によつて行つた。

第 2 図に示す構造の TFT を作製しゲート 201  
にゲート電圧、V<sub>D</sub> = 40V、ソース 203 とドレイ

ン 202 間にドレイン電圧、V<sub>D</sub> = 40V を印加しソ  
ース 203 とドレイン間に流れるドレイン電流 I<sub>D</sub>  
をエレクトロメータ 208 (Keithley 610C エレ  
クトロメータ) により測定しドレイン電流の  
時間的変化を測定した。経時変化率は、500 時  
間の連続動作後のドレイン電流の変動量を初期  
ドレイン電流で割りそれを 100 倍した表示で表  
わした。

TFT の閾値電圧は、MOSFET で通常行われてい  
る  $V_D = \sqrt{I_D}$  曲線における直線部分を外挿し横軸  
と交差した点によつて定義した。経時変化前と  
後の V<sub>TH</sub> の変化も同時にしらべ、変化量をボル  
トで表示した。





次に本発明の実施例について述べる。

#### 実施例1

本実施例は、多結晶シリコン薄膜をグロー放電分解法で基板の上に形成し、それを用いてTFTを作成したもので多結晶シリコン薄膜の形成は第3図に示した装置を用いたものである。基板300はコーニングガラス7059(0.5mm厚)を用いた。

先ず基板300を洗浄した後HF/HNO<sub>3</sub>/OH<sub>4</sub>000Hの混合液でその表面を強くエッチングし、乾燥した後真空ベルジャー装置301内のアノード側にかいた基板加熱ホルダー(図452cm)302に装荷した。

その後ベルジャー301を拡散ポンプ309でベッタダランド真空度 $2.0 \times 10^{-6}$  Torr以下まで排気を行なった。この時、この真空度が低いと反応性ガスが有効に蒸析出に働かないばかりか真空中にO、Nが混入し、著しく膜の抵抗を変化させるので注意を要した。次にT<sub>1</sub>を上げて基板300の温度を500℃に保持した(基板温

度は熱電対303で監視する)。次に、H<sub>2</sub>ガスをマスフローコントローラー308で制御しながらベルジャー301内に導入して基板300表面をクリーニングした後、反応性気体を導入する様にした。基板温度T<sub>1</sub>は350℃に設定した。放電時のベルジャー301内の圧力はTorrに保持した。

該実施例においては、導入する反応性気体としては取扱いの容易なH<sub>2</sub>ガスで3vol%に希釈したSiH<sub>4</sub>ガス(SiH<sub>4</sub>(3)/H<sub>2</sub>と略記する)を用いた。ガス流量は5900Mになるようにマスフローコントローラー304でコントロールして導入した。ベルジャー301内の圧力はベルジャー301の排気側の圧力調整バルブ310を調節し、絶体圧力計312を用いて所望の圧力に設定した。ベルジャー301内の圧力が安定した後、カソード電極313に13.56MHzの高周波電界を電源314によつて加え、グロー放電を開始させた。この時の電圧は0.7KV、電流は80mA、RF放電パワーは20Wであった。

この条件で、放電を60分間持続し、多結晶シリコン膜の形成を終え、放電を中止させて原料ガスの流入も中止させた。次に基板温度を180℃まで下げて保持して次のプロセスに備えた。

この条件下でのシリコンの蒸析出速度は0.9Å/secであった。形成された膜の膜厚は3000Åでその均一性は円形リング型吹き出し口を用いた場合には3インチ×3インチの基板の大きさに對して±10%内に収っていた。

又、この多結晶シリコン膜はn型で、抵抗値は $\sim 10^4 \Omega \cdot \text{cm}$ であった。次にこの膜を使って、第1図に示す工程に従って薄膜トランジスタ(TFT)を作成した。TFTのソース・ドレインのオーミックコンタクトを良好にせしめるために基板温度は180℃に保った状態でn<sup>+</sup>シリコン層の形成を次のようにして行なった。本発明で100 vol ppmに希釈されたPH<sub>3</sub>ガス(PH<sub>3</sub>(100 ppm)/H<sub>2</sub>と略記する)をH<sub>2</sub>で10 vol%に希釈されたSiH<sub>4</sub>(SiH<sub>4</sub>(10)/H<sub>2</sub>と略記する)ガスに對して、mol比にして $5 \times 10^{-3}$ の割合で

ベルジャー301内に流入させ、ベルジャー301内の圧力を0.12 Torrに調整してグロー放電を行ないPのドーパされたn<sup>+</sup>層102を500Åの厚さに形成した工程(b)。

次にA<sub>1</sub>を蒸着し、その後、工程(c)のようにフォトリソエッチングによりA<sub>1</sub>及びn<sup>+</sup>層102をソース電極103の領域、ドレイン電極104の領域をのぞいて除去した。次にゲート絶縁膜を形成すべくベルジャー301内に再び上記の基板が、アノード側の加熱ホルダー302に装荷された。多結晶シリコンを蒸着する場合と同様にベルジャー301が排気され、基板温度T<sub>2</sub>を250℃としてNH<sub>3</sub>ガスを20300M、SiH<sub>4</sub>(SiH<sub>4</sub>(10)/H<sub>2</sub>)ガスを5900Mを導入してグロー放電を生起させてSiNH膜105を250Åの厚さに堆積させた。

次にフォトリソエッチング工程によりソース電極103、ドレイン電極104用のコンタクトホール106-1、106-2を明け、その後SiNH膜105全面にA<sub>2</sub>を蒸着して電極膜107

を形成した後、ホトエッチング工程により $n$ 電極膜107を加工してソース電極用取出し電極108、ドレイン電極用取出し電極109及びゲート電極110を形成した。この後、 $H_2$ 雰囲気中で250℃の熱処理を行った。以上の条件とプロセスに従って形成されたTFT(チャンネル長 $L=20\mu$ 、チャンネル幅 $W=650\mu$ )は安定で良好な特性を示した。

第4図にこの機に試作したTFTの特性例を示す。第4図にはドレイン電流 $I_D$ とドレイン電圧 $V_D$ の関係をゲート電圧 $V_G$ をパラメータにしたTFT特性例が示されてある。ゲートのスレッショールド電圧は5Vと低く、 $V_G=20V$ での $V_G=0$ の電流値の比は3ケタ以上とれている。TFTの作成に用いた多結晶シリコン薄膜の水素量を前記の方法で測定した結果及び、該多結晶シリコン薄膜のフッ素、<sup>水素</sup>窒素、酸素の割合、フッ素：窒素：酸素=1：3：6によるエッチング速度を調べた結果を第1表に示した。基板温度 $T_s$ は該実施例500℃と450℃

400℃について基板温度のみ変化させ、他の条件を同じにした場合の結果を示した。これらの多結晶シリコン薄膜を用いて作成したTFTの実効移動度( $\mu_{eff}$ )も同じに表に示した。基板温度が高い $T_s=500℃$ の膜は膜中の水素の量が0.5at%と小さくかつエッチング速度が15 $\mu$ /secと小さく、この膜を用いて作成したTFTの $\mu_{eff}$ は8 $cm^2/V\cdot sec$ で経時変化の全くない良好な特性が得られた。

本実施例では基板としてコーニング・7059ガラスを用いたが、熱処理温度や基板温度を高くしても基板として超硬質ガラスや石英ガラスを採用することにより同様の特性を出すことができた。従って、本発明によれば低温度側より高温度側まで基板温度 $T_s$ を広範囲内から基板材料に従って自由に選択出来るという基板材料の選択範囲に著しい自由度がある為に特性の優れたTFT素子回路をより安価に、より簡便な装置を用いて容易に作成することが出来る。

第 1 表

試 料 名	1-1	1-2	1-3
$T_s$	400	450	500
$H_2$ の量 (at%)	1.7	1.3	0.5
エッチング速度 ( $\mu$ /m)	18	16	15
$\mu_{eff}$ ( $cm^2/V\cdot m$ )	2.5	5	8

放電パワー ----- 20W  
 $SiH_4$  ガス濃度 ----- 3 vol %  
 流量 (PR) ----- 5 SCCM  
 圧力 (Pr) ----- 0.05 Torr

## 実施例 2

実施例1と同様の手順によつて、多結晶シリコン膜をグロー放電分解の基板温度 $T_s$ を400、450、500℃と変化させ、RF放電パワー50W、及びシランガス( $SiH_4(g)/H_2$ )流量を10SCCM、圧力を0.05 Torrと一定にして形成した後、それを素材として作成したTFTの特性( $\mu_{eff}$ )と素材の水素量、エッチング速度、及び配向性の関係について第2表に示した。

第 2 表

試 料 名	2-1	2-2	2-3
$T_s$	400	450	500
$H_2$ の量 (at%)	1	1.8	0.5
エッチング速度 ( $\mu$ /m)	20	18	16
回折強度による配向性 (%)	45%	50%	55%
$\mu_{eff}$ ( $cm^2/V\cdot m$ )	2.5	4.6	6.2

放電パワー ----- 50W  
 $SiH_4$  ガス濃度 ----- 3 vol %  
 流量 (PR) ----- 10 SCCM  
 圧力 ----- 0.05 Torr

## 実施例 3

実施例1と同様の手順により、多結晶シリコン膜をグロー放電分解の基板温度 $T_s$ を400、450、500℃と変化させ、放電パワー100W及びシランガス( $SiH_4(g)/H_2$ )流量を10SCCM、圧力を0.05 Torrと一定にして形成した後、それを素材として作成したTFTの特性( $\mu_{eff}$ )と素材の水素量、エッチング速度、及び配向性の関係につ

いて第3表に示した。

第 3 表

試 料 名	3-1	3-2	3-3
Ts	400	450	500
H <sub>2</sub> の量(at%)	3	2.5	1
エッチング速度(Å/m)	23	20	20
平均結晶粒径(Å)	120	350	350
$\mu_{eff}$ (cm <sup>2</sup> /V・m)	1.0	4.2	5.5

上記のトランジスタの特性は、基板温度が500℃の場合(試料名3-3)  $\mu_{eff} = 5.5$  で経時変化のない良好な特性であつた。

## 実施例4

実施例1と同様に準備された同等のコーニングガラス基板300をベルジャー301内の上部アノード側の基板加熱ホルダー302に密着して固定し、下部カソード313の電極板上に基板と対向するように多結晶シリコン膜(図示しない: 92.99%)を静置した。ベルジャー301を加熱が

つてTFTを作製した。この素子の実効モビリティは、 $1.0 \text{ (cm}^2/\text{V} \cdot \text{m)}$ であり、 $V_0 = 90 \text{ V}$ 、 $V_D = 90 \text{ V}$ の条件で $I_D$ 及び $V_{th}$ の変化を測定したが、500時間で $I_D$ は0.1%以下、 $V_{th}$ は全く不変であり、経時のDC動作特性は良好であつた。

## 実施例5

実施例1と同様に準備されたコーニング7059ガラス基板300を $2 \times 10^{-11}$  Torrまで減圧される超高真空槽301内の基板ホルダー302に密着し、真空槽内の圧力が $5 \times 10^{-11}$  Torr以下の圧力にまで減圧した後、タングステンヒーター303により基板温度を550℃に設定した(第5図参照)。つづいて電子銃304を8KVの加速電圧で動作させ、発射する電子ビームをシリコン蒸発体405に照射させ、シリコン蒸発体を蒸発させ、つづいてシャッター307を開き、基板300に膜厚0.5Å厚になるよう水晶振動子膜厚計306でコントロールし、多結晶シリコン膜を形成した。このときの蒸着中の圧力は $1 \times 10^{-9}$  Torr、蒸着速度は1.4Å/mであつた(試料名3-1)。

ンプ309で真空状態とし、 $2 \times 10^{-4}$  Torrまで排気し、基板加熱ホルダー302を加熱して基板300の表面温度を450℃に保つた。続いて高純度H<sub>2</sub>ガスをマスフローメーター308によつて0.8SCCMベルジャー内に導入し、更にAr/H<sub>2</sub>(容量比で5/95比)混合ガスをマスフローメーター307によつて50SCCMの流量でベルジャー301内に導入し、メインバルブ310を絞つてベルジャー内圧を0.05Torrに設定した。

ベルジャー内圧が安定してから、下部カソード電極313に12.56MHzの高周波電源314によつて、1.5VR印加してカソード<sup>(313)</sup>上の結晶シリコン膜とアノード(基板加熱ホルダー)302間にグロー放電を生起させた。RF放電パワー(進行波-反射波)は120であつた。この条件でシリコン膜の成長速度は0.2Å/mであり、4時間成長させて約0.3Å膜を形成した。シリコン膜中に含有するH量は0.5、エッチング速度は19Å/mであつた。

続いて実施例1と同様の工程(4-1-4)によ

他方、洗浄したコーニング7059ガラス基板を再び基板ホルダー302に固定し、真空槽301内の圧力が $5 \times 10^{-11}$  Torr以下の圧力まで減圧した後、高純度水素ガス(99.9999%)をバリアブルリークバルブ308により真空槽内に導入し、槽301内圧力を $5 \times 10^{-11}$  Torrに設定した。基板温度を400℃に設定し、蒸着速度を1.0Å/mになるように電子銃<sup>(304)</sup>をコントロールし0.5Å厚の多結晶シリコン薄膜を形成した(試料名3-2)。

試料名3-1、3-2について各々の水素量、エッチング速度、配向性、及び実施例1と同様のプロセスによつて作成したTFTの実効移動度 $\mu_{eff}$ を表4に示した。

第 4 表

試 料 名	3-1	3-2
水素量(at%)	<0.01	0.5
エッチング率(Å/m)	20	20
配向性(%)	41	40
$\mu_{eff}$ (cm <sup>2</sup> /V・m)	0.4	5.7

2mm間隔で0.5mmの孔が開いているものを使用した。

次に、高周波コイル610(直径5mm)に1256MHzの高周波を印加して、出力を100Wに設定して、コイル内部分に高周波プラズマ雰囲気を形成した。

他方、支持体611-1, 611-2は回転させながら、加熱装置612を動作状態にして約475℃に加熱しておいた。

次に、蒸発体606にエレクトロンガン608より照射し、加熱したシリコン粒子を飛翔させた。このときのエレクトロンガンのパワーは約0.8KWであつた。

この様にして50分間で5000Åの多結晶シリコン薄膜が形成された。

この薄膜を用いて前記の実施例と同様なプロセスで薄膜トランジスタを作製した。下表に本実施例における膜中に含まれる水素量及び膜のエッチング速度、薄膜トランジスタの移動度を示した。同時に、水素分圧が $4 \times 10^{-4}$  Torrの場合と水素を導入しないで膜を形成した場合

表4からわかるように試料A5-1, 5-2ともにエッチング速度、配向性はほぼ同一値を示し良好でつた。実効移動度( $\mu_{eff}$ )は1桁以上試料A5-2は試料A5-1に比べ大きく、TFT用の半導体層として試料A5-2の薄膜の方がより好ましいことが判つた。

#### 実施例6

本発明第8図に示すイオンブレーティング増設装置を用いて多結晶シリコン薄膜を作製し、該薄膜を素材として薄膜トランジスタを作製した例を以下に述べる。

初めに減圧しうる増設室603内にnon-doped多結晶シリコンのシリコン蒸発体606をボード207内に置き、コーニング47089基板を支持体に設置し、増設室内をベースプレッシャーが約 $1 \times 10^{-4}$  Torrになるまで排気した後、ガス導入管505を通じて純度99.999%の $H_2$ ガスを水素分圧 $P_{H_2}$ が $1 \times 10^{-4}$  Torrになる様にして増設室内に導入した。使用したガス導入管505は内径3mmで、先のループ状の部分にガス吹き出し口が2

ついでのデータも示した。

第 5 表

水素分圧(Torr)	0	$5 \times 10^{-5}$	$1 \times 10^{-4}$	$4 \times 10^{-4}$
膜中に含まれる水素量(at%)	0.01 ±0.01	0.5	1.3	1.8 ±0.2
膜のエッチング速度(Å/min)	28	25	19	20
実効移動度( $\mu/V \cdot cm$ )	0.05	0.10	2.4	2.1

$P_{H_2} = 1 \times 10^{-4}$  Torrの水素分圧で膜を形成したトランジスタでは、ドレイン電圧 $V_D$ 、ゲート電圧 $V_G$ を40Vで連続印加後の電流変化(経時変化)が全くなく、移動度も2.4と大きく良好なトランジスタ特性を示した。それに対し水素量の多い場合は経時変化が大きく、水素の少ない場合は移動度が小さいという結果を得た。

#### 4. 図面の簡単な説明

第1図は、本発明の半導体素子を作製するための工程を説明する模式的工程図、第2図は本発明の半導体素子の特性を測定する為の回路を模式的に示した説明図、第3図、第5図、第6

図は各々本発明に係わる半導体膜作製装置の例を説明する為の模式的説明図、第4図は本発明の半導体素子の $V_D - I_D$ 特性の一例を示す説明図である。

100 - 基板                      101 - 半導体層  
102 - 電極層                    103 - 絶縁層

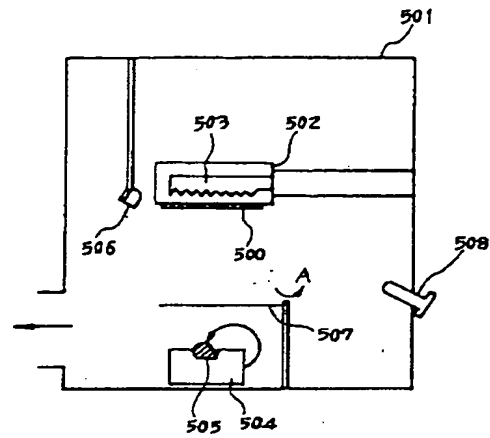
出願人 ヤマノン株式会社

代理人 丸 島 鶴

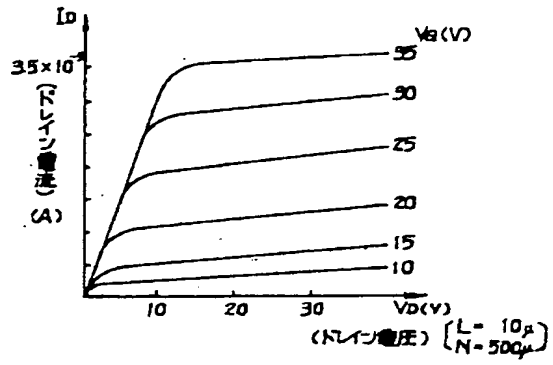




第5図



第4図



第6図

